

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-083165

(43)Date of publication of application : 31.03.1998

(51)Int.CI.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 08-236122

(71)Applicant : NEC CORP

(22)Date of filing : 06.09.1996

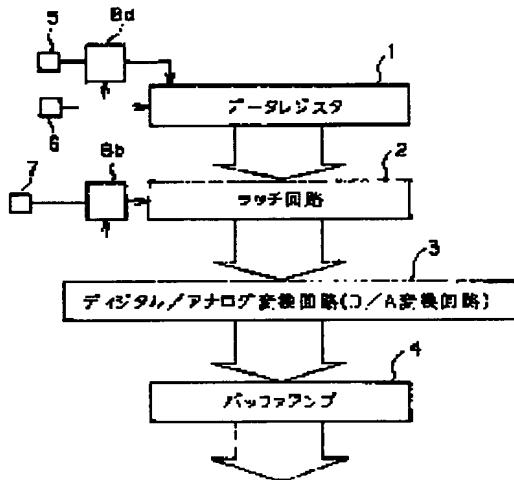
(72)Inventor : HAYASHI TOMOAKI

(54) LCD DRIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce current consumption in a liquid crystal display panel.

SOLUTION: An LCD driver inputs the display data and a clock from a data input 6 and a clock input terminal 5 to a data register 11 to make the data register 1 store the data by one line, and inputs a strobe signal from a strobe input terminal 7, and latches the data of the data register 1 to a latch circuit 2, and after it converts the data to an analog signal by a D/A conversion circuit 3 to output a display signal to a source bus through a buffer amplifier 4. Then, when the data of one horizontal line coincide (all bits coincide) with the signals of the former line, the LCD driver makes so that the clock, the strobe signal aren't transmitted by clock enable circuit 8a, strobe enable circuit 8b to make not operate the data register 1.



LEGAL STATUS

[Date of request for examination] 06.09.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2853764

[Date of registration] 20.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2853764号

(45)発行日 平成11年(1999)2月3日

(24)登録日 平成10年(1998)11月20日

(51)Int.Cl.⁶ 識別記号
G 0 9 G 3/36
G 0 2 F 1/133 5 5 0
G 0 9 G 3/20 6 1 1
6 2 3
6 3 1

F I
G 0 9 G 3/36
G 0 2 F 1/133 5 5 0
G 0 9 G 3/20 6 1 1 A
6 2 3 H
6 3 1 H

請求項の数3(全6頁) 最終頁に続く

(21)出願番号 特願平8-236122

(22)出願日 平成8年(1996)9月6日

(65)公開番号 特開平10-83165

(43)公開日 平成10年(1998)3月31日

審査請求日 平成8年(1996)9月6日

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 林 智明

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74)代理人 弁理士 尾身 祐助

審査官 廣川 浩

(56)参考文献 特開 平7-199873 (JP, A)

(58)調査した分野(Int.Cl.⁶, DB名)

G09G 3/20
G09G 3/36
G02F 1/133 550

(54)【発明の名称】 LCD ドライバ

1

(57)【特許請求の範囲】

【請求項1】 所定のビット数の階調データを出力数分記憶するシフトレジスタ回路と、前記シフトレジスタ回路に記憶されたデータをラッチするラッチ回路と、前記ラッチ回路にラッチされたディジタルデータをアナログ信号に変換するディジタル／アナログ変換回路と、前記ディジタル／アナログ変換回路の出力信号に基づいて液晶素子を駆動する信号を出力するバッファ回路と、を有するLCDドライバにおいて、一水平ラインのデータが前ラインのデータと一致したとき前記シフトレジスタへのクロックの供給を停止させるクロックイネーブル回路と、液晶表示パネルに表示すべき1画面のディジタルデータを記憶するグラフィックRAMとを備え、前ラインのデータとデータが完全に一致しているラインについてはグラフィックRAMに1ライン分すべて“0”を記憶

2

させ、この記憶データを用いて該グラフィックRAMに1ライン分すべて“0”が記憶されたラインについては前記クロックイネーブル回路にクロックの供給を停止させることを特徴とするLCDドライバ。

【請求項2】 所定のビット数の階調データを出力数分記憶するシフトレジスタ回路と、前記シフトレジスタ回路に記憶されたデータをラッチするラッチ回路と、前記ラッチ回路にラッチされたディジタルデータをアナログ信号に変換するディジタル／アナログ変換回路と、前記ディジタル／アナログ変換回路の出力信号に基づいて液晶素子を駆動する信号を出力するバッファ回路と、を有するLCDドライバにおいて、一水平ラインのデータが前ラインのデータと一致したとき前記シフトレジスタへのクロックの供給を停止させるクロックイネーブル回路と、一水平ラインのデータが前ラインのデータと一致し

たとき前記ラッチ回路へのストローブ信号の供給を停止させるストローブイネーブル回路と、液晶表示パネルに表示すべき1画面のディジタルデータを記憶するグラフィックRAMとを備え、前ラインのデータとデータが完全に一致しているラインについてはグラフィックRAMに1ライン分すべて“0”を記憶させ、この記憶データを用いて該グラフィックRAMに1ライン分すべて“0”が記憶されたラインについては前記クロックイネーブル回路および前記ストローブイネーブル回路にクロックまたはストローブ信号の供給を停止させることを特徴とするLCDドライバ。

【請求項3】前記クロックイネーブル回路または前記ストローブイネーブル回路は、前記グラフィックRAMの出力データと“0”とを排他的ORゲートで比較し、該排他的ORゲートの“1”出力をラッチする回路の出力データにより、クロックまたはストローブ信号が入力されるANDゲートを制御する回路であることを特徴とする請求項1または2記載のLCDドライバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示パネルを駆動するLCDドライバに関し、特にアクティブマトリクス方式液晶表示パネルに表示データを供給するソースドライバに関するものである。

【0002】

【従来の技術】図5は、アクティブマトリクス方式の液晶表示装置の等価回路図である。図5に示す回路において、ゲートドライバ22は横方向に走るm本のゲートバス24を駆動し、ソースドライバ23は縦方向に走るn本のソースバス25を駆動する。ゲートバス24とソースバス25の交点には、ゲートがゲートバス24に接続され、ソースがソースバス25に接続されたTFT(thin-film transistor)26が形成されている。TFT26のドレインには、付加容量27と液晶素子28が接続される。液晶素子28の他方の端子は共通電極29に共通に接続されている。

【0003】ソースドライバ23からは、表示すべきラインの1ライン分のデータが outputされ、ソースバス25に供給される。その状態でゲートドライバ22より表示を行うべきゲートバスに駆動パルスが出力される。図ではX₂のゲートバスにパルスが出力されている。これにより、X₂のゲートバスに接続されたTFT26は一斉にオンし、ソースバス25に供給されていたデータを付加容量27と液晶素子28に書き込む。この書き込みデータはTFT26がオフとなった後も付加容量27と液晶素子28に保持される。そして、各液晶素子では書き込みデータ(電圧)に従った輝度の表示が行われる。ゲートドライバ22の出力するパルスが低レベルとなった後に、ソースドライバ23からは、次ライン(図示した例ではX₃のライン)に表示すべきデータの出力が行わ

れ、次いでゲートドライバからは次ラインのゲートバス(X₃)に駆動パルスが供給される。これにより、X₃のゲートバスに連なる画素への新データの書き込みが行われ、この新データに基づいた表示が行われる。以下、同様にして各ライン毎に表示データの書き換えが行われ、1画面分の表示が行われる。

【0004】図6は、従来のソースドライバの構成を示すブロック図である。同図において、31は、表示すべき階調に応じたビット数(kビット)を1ライン分(n段)分一時記憶するデータレジスタであって、ホストCPU側のグラフィックRAM等からデータ入力端子36を介して入力されるシリアルデータを、クロック入力端子35より入力されるクロックにより入力側から順次シフトすることで1ライン分の表示データ(k×nビットのデータ)を一時記憶する。データレジスタ31に記憶された1ライン分のデータは、その後ラッチ回路32に同時に転送されラッチされる。ラッチ回路32の出力(ラッチデータ)は、ディジタル/アナログ変換回路(以下、D/A変換回路と記す)33に送出される。

【0005】D/A変換回路33では、送られてきたkビットをデータをアナログ信号に変換し、階調表示データとしてn個のアナログデータをバッファアンプ34に出力する。D/Aは例えば次のように行われる。kビットを上位pビットと下位qビットに分け(k=p+q)、外部より2^p(=P)個の階調駆動電圧V₀~V_Pを供給し、その階調駆動電圧V₀~V_Pのうち隣り合う2種の階調表示データを上位pビットより選択する。選択した電圧を、下位qビットに対応した2^qステップに分割する抵抗回路に印加し、下位qビットにより2^qステップの中の一つの電圧を選択する。このようにして得られたn個のアナログデータは、バッファアンプ34を介して図5に示されるように、ソースバスへ出力される。なお、この種のLCDドライバ回路は、例えば特開平4-237090号公報等により公知となっている。

【0006】

【発明が解決しようとする課題】液晶表示装置、特にノート型パーソナルコンピュータ等のように携帯用に用いられる機器のディスプレイでは、連続動作時間を長くするために消費電流の削減が強く求められている。而して、従来のLCDドライバ回路では、データレジスタ23に1水平ライン毎に表示データを記憶するために、k×nビットのデータレジスタを常時動作させておく必要があり、そのための電流が消費されていたので、十分な消費電流の削減ができていなかった。

【0007】したがって、本発明の解決すべき課題は、一時記憶のための階調kビット×出力数n段のデータレジスタの動作を必要なときのみに行なわせることにより消費電流を可能な限り少なくすることである。

50 【0008】

【課題を解決するための手段】上述した課題を解決するため、本発明によれば、所定のビット数の階調データを出力数分記憶するシフトレジスタ回路と、前記シフトレジスタ回路に記憶されたデータをラッチするラッチ回路と、前記ラッチ回路にラッチされたディジタルデータをアナログ信号に変換するディジタル／アナログ変換回路と、前記ディジタル／アナログ変換回路の出力信号に基づいて液晶素子を駆動する信号を出力するバッファ回路と、を有し、一水平ライン毎に前ラインのデータと比較する回路と、一水平ラインのデータが前ラインのデータと一致したとき、前記シフトレジスタへのクロックの供給を停止させるクロックイネーブル回路と、を更に備えていることを特徴とするLCDドライバが提供される。

【0009】

【発明の実施の形態】図1は、本発明の実施の形態を説明するためのソースドライバのブロック図である。1は、データ入力端子6より入力される階調kビットのデータを1ライン分一時記憶しておくデータレジスタ、2は、データレジスタ1から転送されてきた1ライン分のデータをラッチするラッチ回路、3は、ラッチ回路2にラッチされたディジタルデータをアナログ信号に変換するD/A変換回路、4はバッファアンプ、5はクロック入力端子、7はラッチストローブ信号入力端子、8aは、データレジスタ1に入力されるデータが1ライン前のデータと同じであるときにクロックのデータレジスタ1への入力を禁止するクロックイネーブル回路、8bは同じくデータレジスタ1に入力されるデータが1ライン前のデータと同じであるときにストローブ信号のラッチ回路2への入力を禁止するストローブイネーブル回路である。

【0010】データ入力端子6より入力されるデータが1ライン前のデータと異なっているとき、入力されたデータは、図6に示した従来例の場合と同様に、クロック入力端子5より入力されるクロックによりデータレジスタ1内を5より入力されるクロックによりデータレジスタ1内を転送されていく。そして、1ライン分のデータが記憶されると、そのデータはラッチストローブ信号入力端子7から入力されるストローブ信号によりラッチ回路2にラッチされる。以下、図6に示した従来例の場合と同様の動作により表示がなされる。

【0011】データ入力端子6より入力されるデータが前ラインのデータと一致しているとき、クロックイネーブル回路8aおよびストローブイネーブル回路8bにより、クロックおよびストローブ信号のデータレジスタ1、ラッチ回路2への入力が禁止されるため、データレジスタ1のシフト動作は停止され、またラッチ回路はラッチ動作は行わず前ラインのデータを保持し続ける。よって、D/A変換回路3、バッファアンプ4は、前ラインのデータを出力し続ける。この状態は、1水平ラインのデータが前ラインのデータと一致し続ける間続く。デ

ータ入力端子6より入力されるデータが前ラインのデータと一致しなくなったとき、クロックイネーブル回路8a、ストローブイネーブル回路8bの禁止動作は解除され、データレジスタ1およびラッチ回路2は通常の動作を開始する。

【0012】データ入力端子6から入力されるデータが前ラインのデータと一致するとき、データレジスタ1のシフト動作を停止させるとともにこのレジスタをリセットする場合には、ストローブイネーブル回路8bを設けて、データレジスタ1の動作を停止させるとともにストローブ信号の入力も禁止しなくてはならない。しかし、データ入力端子6から入力されるデータが前ラインのデータと一致するとき、単に、データレジスタ1のシフト動作を中止するのみでデータレジスタ1が前ラインのデータを保持し続けるのであれば、特にストローブイネーブル回路8bを設けなくてもよい。

【0013】【作用】前ラインデータと同一データが次ラインデータとして、ドライバに供給された場合、階調kビット×出力数n段のシフトレジスタを止めるため、この停止しているシフトレジスタの消費電力を減らすことができる。

【0014】

【実施例】次に、本発明の実施例について図面を参照して説明する。図2、図3は、本発明の第1の実施例を示すグラフィックRAM周辺の回路とソースドライバのブロック図である。図2に示す回路において、ホストCPU9にて生成された表示データはグラフィック回路12内のグラフィックRAM13に書き込まれる。このときホストCPU9の出力するデータは、一致判別回路(E30 XOR等により構成される)10において1ビットずつ基準ライン指定レジスタ14の指定するラインのグラフィックRAM13の記憶内容と比較される。

【0015】ホストCPU9の発生するデータが前ラインの該当するビットのデータと一致しているとき、一致判別回路10から一致信号が発生され、カウンタ11はカウントアップされる。ホストCPU9より1ライン分のデータが送出され終わったときのカウンタ11のカウント値が所定の値、すなわち1ライン分のビット数(階調kビット×出力数n)に達しているときには、カウンタ11から一致信号がホストCPU9とグラフィックRAM13に送出され、グラフィックRAMのいま書き込みの行われたライン(前ラインと全ビットが一致していたライン)のデータがすべて0にクリアされる。ホストCPU9はカウンタ11からの一致信号を受けたとき、基準ライン指定レジスタ14の値を先の指定値のままとする。

【0016】ホストCPU9より1ライン分のデータが送出された後のカウンタ11のカウント値が所定の値に達していないときには、そのラインのデータは前ライン50のデータとは一致していないので、グラフィックRAM

13にいま書き込まれたデータは0クリアされずそのまま残され、そして基準ライン指定レジスタ14の内容はそのライン（いま書き込みを行ったライン）を指定する値に書き換えられる。CPU9から1ライン分のデータの送出が終了するとカウンタ11はリセットされる。

【0017】このようにして1画面分のデータの書き込みが行われた後には、グラフィックRAM13のデータは前ラインと一致したデータの場合にはそのライン全体が0となるデータに書き込まれ、それ以外の場合には本来の表示データが格納された状態となる。このデータは、シリアルデータとしてソースドライバ15に送出され（書き込みとは非同期）、後述するように表示データとして用いられる。ここで、本来の表示データが1ラインに渡って0である場合と、前ラインのデータと一致しているために0になされた場合とを区別する必要がある場合には、前者のデータについて、そのラインの最初または最後の表示点のLSBデータを“1”とする変更を加える。

【0018】図3は、図2に示したソースドライバ15の詳細を示すブロック図である。図3において、図6の従来例の部分と同等の部分には同一の参照番号が付けられているので、重複する説明は省略する。図3において、16はEXORゲート、17はRSラッチ回路（RSフリップフロップ）、18はディレイ回路、19a、19bはANDゲート、20はインバータである。グラフィックRAM13からの信号はデータ入力端子6を介して、データレジスタ1とEXORゲート16に入力される。EXORゲート16は入力データが“0”であるとき“0”を出力し、入力データが“1”であるとき“1”を出力する。RSラッチ回路17は、1ライン分のデータの入力が終了した後に、ラッチストローブ信号入力端子7、ディレイ回路18を介して入力されるストローブ信号によりリセットされる。

【0019】データ入力端子6よりデータ入力中のラインのデータとして初めて“1”が入力されると、RSラッチ回路17が“1”にセットされ、ANDゲート19a、19bは、クロック入力端子6より入力されるクロックとラッチストローブ信号入力端子7より入力されるストローブ信号を通過させる。これにより、これ以降データ入力端子5より入力されるデータは直前に入力された“1”データを含めてデータレジスタ1に記憶される。1ライン分のデータの入力が終了すると、ストローブ信号の入力により、データレジスタ1に入力されたデータはラッチ回路2にラッチされる。ストローブ信号はディレイ回路18を介してRSラッチ回路17にも入力され、これをリセットする。これによりインバータ20を介してデータレジスタ1はリセットされ、またANDゲート19a、19bはクロックおよびストローブ信号の出力を禁止する。

【0020】1ラインのデータがすべて“0”であるデ

ータが入力されたとき、すなわち1ラインのデータが前ラインのデータと完全に一致していることを示すデータが入力されたとき、データレジスタ1はリセットされた状態にとどまり、また1ライン分の入力が完了してもラッチ回路2のデータが更新されることはない。

【0021】図4は、本発明の第2の実施例でのグラフィックRAM周辺回路のブロック図である。同図において、図2に示した第1の実施例での回路と同等の部分には同一の参照番号が付されているので重複する説明は省略する。本実施例では、第1の実施例において用いられていた基準ライン指定レジスタが除去され、代わってホストCPU9の出力するデータを1ライン分記憶する1ラインメモリ21が用いられている。

【0022】図4に示す回路において、1ライン分のデータの出力が終了するとカウンタ11がリセットされる。ホストCPU9より出力されたデータはグラフィックRAM13に書き込まれるとともに一致判別回路10に入力されて1ライン前のデータと比較され、一致した場合はカウンタ11をカウントアップさせる。1ライン分のデータの出力が終了し、そのラインのすべてのデータが前ラインのデータと一致しているとき、カウンタ11のカウント値は所定の値（すなわち、 $k \times n$ ）に達し、これによりカウンタ11は書き込みが終了したラインのデータをすべて“0”にする。CPU9より出力された1ラインのデータが前ラインのデータと一致していない場合は、カウンタ11のカウント値は所定の値に達しないため、グラフィックRAM13に書き込まれたそのラインのデータはそのまま残される。第2の実施例におけるソースドライバの回路は図3に示した第1の実施例の場合と同様である。

【0023】

【発明の効果】以上説明したように、本発明によるLCDドライバは、前ラインでの表示データとデータが一致している場合には、そのラインでのデータレジスタのシフト動作を中止するものであるので、液晶表示装置での消費電流を削減することができる。特にソースドライバのトランジスタは高耐圧素子として形成されることが多いため、その消費電流は大きく、これを動作させないようにすることによる電力削減効果は大きい。したがって、本発明によれば、携帯用機器における電池での連続使用時間を長期化することが可能になる。

【図面の簡単な説明】

【図1】本発明の実施の形態を説明するためのブロック図。

【図2】本発明の第1の実施例でのグラフィックRAM周辺部の回路のブロック図。

【図3】本発明の第1の実施例でのソースドライバのブロック図。

【図4】本発明の第2の実施例でのグラフィックRAM周辺部の回路のブロック図。

9

【図5】アクティブマトリクス方式液晶表示装置の回路図。

【図6】従来のソースドライバのブロック図。

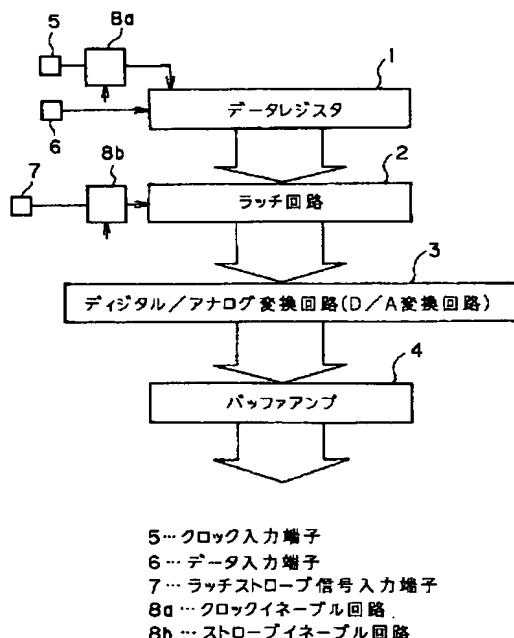
【符号の説明】

- 1、3 1 データレジスタ
- 2、3 2 ラッチ回路
- 3、3 3 デジタル／アナログ変換回路（D／A変換回路）
- 4、3 4 バッファアンプ
- 5、3 5 クロック入力端子
- 6、3 6 データ入力端子
- 7 ラッチストローブ信号入力端子
- 8 a クロックイネーブル回路
- 8 b ストローブイネーブル回路
- 9 ホストCPU
- 10 一致判別回路
- 11 カウンタ
- 12 グラフィック回路

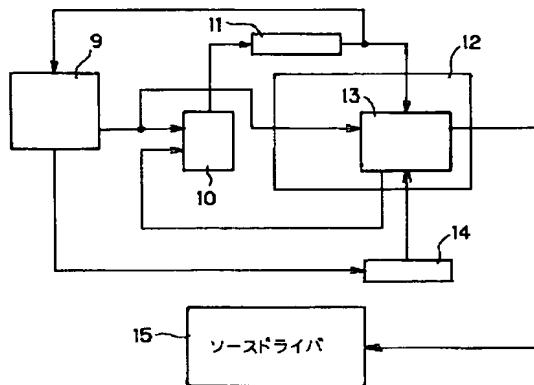
10

1 3 グラフィックRAM
1 4 基準ライン指定レジスタ
1 5 ソースドライバ
1 6 EXORゲート
1 7 RSラッチ回路 (RSフリップフロップ)
1 8 ディレイ回路
1 9 a, 1 9 b ANDゲート
2 0 インバータ
2 1 1ラインメモリ
10 2 2 ゲートドライバ
2 3 ソースドライバ
2 4 ゲートバス
2 5 ソースバス
2 6 TFT
2 7 付加容量
2 8 液晶素子
2 9 共通電極

(四) 1)

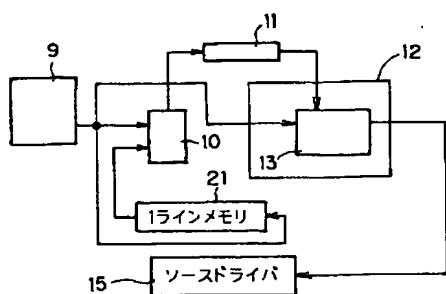


【図2】

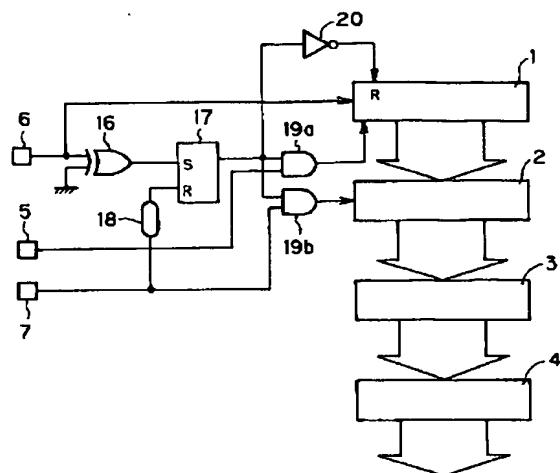


- 9 … ホストCPU
- 10 … 一致判別回路
- 11 … カウンタ
- 12 … グラフィック回路
- 13 … グラフィックRAM
- 14 … 基準ライン指定レジスタ

[図4]

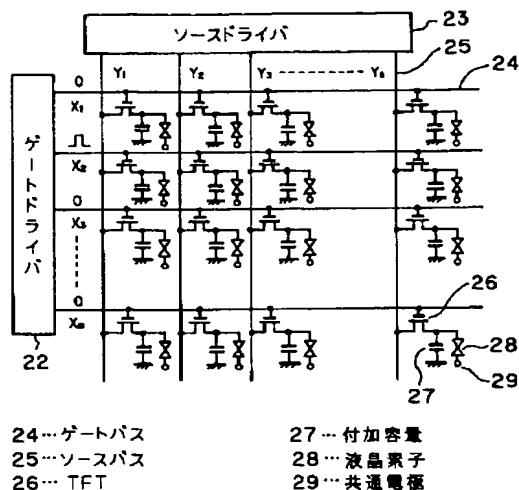


【図3】



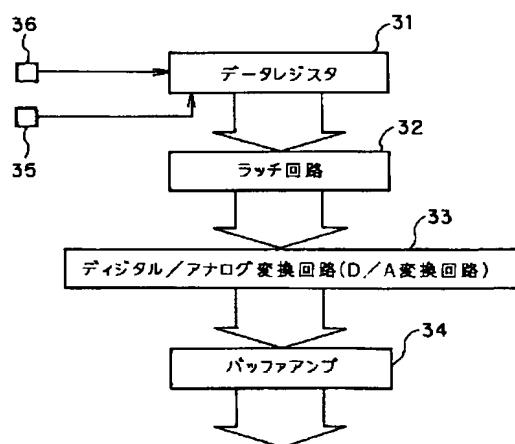
16…EXORゲート
 17…RSラッチ回路(RSフリップフロップ)
 18…ディレイ回路
 19a, 19b…ANDゲート
 20…インバータ

【図5】



24…ゲートバス
 25…ソースバス
 26…TFT
 27…付加容量
 28…液晶素子
 29…共通電極

【図6】



35…クロック入力端子
 36…データ入力端子

フロントページの続き

(51) Int. Cl. 6
G 09 G 3/20

識別記号
6 6 0

F I
G 09 G 3/20
6 6 0 C